

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Hiroyoshi KUGE et al.

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed February 26, 2004

Examiner

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DESIGN AUTOMATION  
APPARATUS, METHOD AND PROGRAM

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 26, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-051469	February 27, 2003

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



---

Benoit Castel, Reg. No. 35,041.  
745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297  
Telefax (703) 685-0573  
703) 979-4709

BC/yr

Attachment(s): 1 Certified Copy(ies)



US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

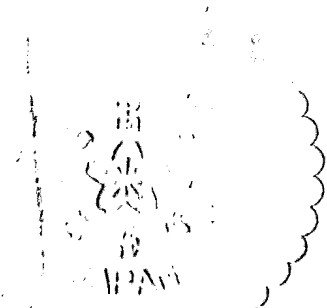
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 5 1 4 6 9  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 5 1 4 6 9 ]

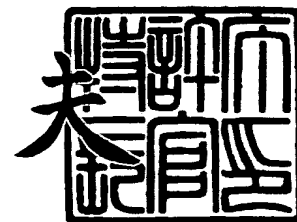
出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):



2 0 0 3 年 1 2 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 0 4 1 4 5

【書類名】 特許願

【整理番号】 71110530

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50  
H01L 27/04

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ  
クトロニクス株式会社内

【氏名】 久家 弘義

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ  
クトロニクス株式会社内

【氏名】 小原 佳弘

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置と設計自動化装置及び方法並びにプログラム

【特許請求の範囲】

【請求項 1】

外部ピンに接続する I/Oセルを配置するための領域（「I/O領域」という）をチップ周辺部に有し、

複数の前記 I/Oセルに対してテスト用の信号を伝播するための配線が前記 I/O領域を複数の前記 I/Oセルにわたって前記 I/Oセルの配列方向に沿って設けられており、

前記 I/O領域の前記配線が通る空きセルのうちの少なくとも 1つが、前記テスト用の信号の伝搬経路を構成し、前記テスト用の信号を入力して駆動出力するリピータ回路を備えている、ことを特徴とする半導体集積回路装置。

【請求項 2】

前記 I/O領域において、1つ又は複数セル分の空きがある場合、予め用意されており電気的特性に関して互いに異なる複数種のリピータ回路の中から、少なくとも予め定められた信号の遅延条件を満たす特性を有する最適なりピータ回路が、前記空きセルのリピータ回路として、前記 1つ又は複数セル分の空きエリアのいずれかに配置される、ことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記 I/Oセルが、バウンダリスキャンレジスタ回路を含み、

前記信号配線が、テスト制御用のコントローラから、前記 I/Oセルのバウンダリスキャンレジスタ回路に供給される信号の配線を含む、ことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】

前記 I/Oセルが、スキャンパステスト用のスキャンフリップフロップ回路を含み、

前記信号配線が、前記 I/Oセルの前記スキャンフリップフロップ回路に供給

されるスキャンパステスト用の信号の配線を含む、ことを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】

外部ピンと接続されるI/OセルについてI/Oセルの品種毎の配置位置情報、サイズ情報、及び、テスト端子情報と、

設計情報を含むテクノロジー情報と、

空きセルに配置されるリピータ回路の情報と、

をそれぞれ記憶保持する記憶手段と、

前記記憶手段のI/Oセルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、チップ周辺部のI/Oセルを配置するための領域（「I/O領域」という）に配線されるテスト用の信号（「テストネット」という）について、隣接I/Oセル間のサブネットの配線長を少なくとも算出して出力する手段と、

回路シミュレータと、

前記サブネットについて少なくとも配線抵抗と容量の情報を算出して前記回路シミュレータによる回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出し、前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定する手段と、

前記決定されたりピータ回路を含む空きセルを前記I/O領域に配置する手段と、

を備えている、ことを特徴とする半導体集積回路の設計自動化装置。

【請求項6】

前記リピータ回路を決定する手段は、選択したりピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出し、前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、前記所定の許容範囲を満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさらに分割する

ことで、最適なりピータ回路を探索するように制御する手段を備えている、ことを特徴とする請求項 5 記載の半導体集積回路の設計自動化装置。

【請求項 7】

外部ピンと接続される I/Oセルについて品種毎のチップ上での I/Oセルの配置位置情報、I/Oセルのサイズ情報、I/Oセルのテスト端子情報、設計情報を含むテクノロジー情報、I/O領域の空きセルに配置されるリピータ回路の情報をそれぞれ記憶保持する記憶手段を有するコンピュータによる半導体集積回路の設計自動化方法であって、

前記記憶手段の I/Oセルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、チップ周辺部の I/Oセルを配置するための領域（「I/O領域」という）に配線されるテスト用の信号（「テストネット」という）について、隣接 I/Oセル間のサブネットの配線長を少なくとも算出して出力するステップと、

前記サブネットについて少なくとも配線抵抗と容量の情報を算出して回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出するステップと、

前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定するステップと、

前記決定されたりピータ回路を含む空きセルを前記 I/O領域に配置するステップと、

を含む、ことを特徴とする半導体集積回路の設計自動化方法。

【請求項 8】

前記リピータ回路を決定するステップが、選択したりピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出するステップと、

前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさら

に分割することで、最適なりピータ回路を探索するように制御するステップと、  
を含む、ことを特徴とする請求項 7 記載の半導体集積回路の設計自動化方法。

【請求項 9】

外部ピンと接続される I / O セルについて品種毎のチップ上での I / O セルの配置位置情報、I / O セルのサイズ情報、I / O セルのテスト端子情報、設計情報を含むテクノロジー情報、I / O 領域の空きセルに配置されるリピータ回路の情報をそれぞれ格納した記憶手段を有するコンピュータに、

前記記憶手段の I / O セルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、チップ周辺部の I / O セルを配置するための領域（「I / O 領域」という）に配線されるテスト用の信号（「テストネット」という）について、隣接 I / O セル間のサブネットの配線長を少なくとも算出して出力する第 1 の処理と、

前記サブネットについて少なくとも配線抵抗と容量の情報を算出して回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出するステップと、

前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定する第 2 の処理と、

前記決定されたりピータ回路を含む空きセルを前記 I / O 領域に配置する第 3 の処理と、

を実行させるプログラム。

【請求項 1 0】

前記第 2 の処理において、選択したりピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出する処理と、

前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさら



に分割することで、最適なりピータ回路を探索するように制御する処理と、  
を前記コンピュータに実行させる請求項 9 記載のプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特にテスト容易化設計技術を取り入れた半導体集積回路装置及び設計自動化方法並びにプログラムに関する。

【0002】

【従来の技術】

テスト容易化設計の 1 手法をなすバウンダリスキャン (JTAG) は、1990 年に、IEEE std 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture として規格化されており、主に L S I 間の配線接続チェックを行うことを目的としたテスト方法である。

【0003】

図 8 は、典型的なバウンダリスキャン回路の概略構成を示す図である (例えば非特許文献 1 参照)。バウンダリスキャンレジスタは、シリアル入力端子 S I と信号入力 P I を入力とし、S h i f t \_ D R 命令 (信号 S) で S I を選択するマルチプレクサ M 1 と、マルチプレクサ M 1 の出力をシフトクロックでサンプルし S O として出力するフリップフロップ F 1 と、フリップフロップ F 1 の出力をアップデートクロック (U p d a t e \_ D R) でサンプルして出力するフリップフロップ F 2 と、フリップフロップ F 2 の出力と P I とを入力しモード信号 M o d e に基づき、一方を端子 P O に出力するマルチプレクサ M 2 と、を備えている。入力セルの場合、端子 P I は入力ピン、端子 P O は内部回路に接続され、出力セルの場合、端子 P 1 は内部回路、端子 P O は出力ピンに接続される。また入出力セルでは、図 8 に示したものを 2 つ用意しておき、入力と出力に応じて切り替える構成等が用いられる。なお、シリアル入力端子 S I は、T D I (テストデータ入力) または前段のバウンダリスキャン回路の出力 T D O (テストデータ出力) である。

【0004】

## 【非特許文献1】

坂巻 佳壽美 著、「JTAGテストの基礎と応用」、第24頁、図2-2、  
CQ出版社、1998年12月1日

## 【0005】

バウンダリスキャンテストは、ボードテストより被試験ボード上のバウンダリスキャン対応デバイス内部のシフトレジスタを順走査接続するようにテスト・データの入出力を行うことでボードテストを行う。ボードテストからのTDI信号はバウンダリスキャン対応デバイスのTDIピンに接続され、このデバイスのTDOピンから出力され、次段のバウンダリスキャンデバイスのTDIピンに接続され、順番にボード上の全てのバウンダリスキャン対応デバイスを接続し、最後のデバイスからのTDOピンは、ボードテストのTDOに接続される。ボードテストからのTCK、TMS信号は、バス状に、全てのバウンダリスキャンデバイスに接続される。バウンダリスキャン対応デバイスは、外部I/Oピンと内部ロジックとの間にバウンダリスキャンレジスタ（図8参照）が配置され、バウンダリスキャンレジスタは、TDIピンとTDOピン間でスキャンチェーンを構成する。なお、バウンダリスキャン対応デバイスは、LSI内のバウンダリスキャン制御回路とLSI外部を接続する外部制御端子として、TCK（テストクロック入力端子）、TMS（テストモードセレクト入力端子）、TDI（テストデータ入力端子）、TDO（テストデータ出力端子）、TRST（テストリセット端子）を有し、TCK、TMS信号等により制御され、バウンダリ・スキャン回路へのテスト命令やデータの流れをコントロールするステート・マシンであるTAP（テストアクセスポート）コントローラ、TDI端子よりロードされインストラクションコードを保持するインストラクションレジスタ、インストラクションレジスタにロードされたインストラクションからテスト制御信号を生成するインストラクションデコーダを備え、TDI端子、TDO端子に接続されるデータレジスタとして、バウンダリスキャンレジスタ、バイパスレジスタ、ユーザ定義レジスタを有する。

## 【0006】

図9は、ASIC（application specific IC）デバイスにおけるレイアウ

トの従来の典型的な一例を、I/Oセルに着目して示した模式図である。図9に示す例では、チップ1の周辺領域において、外部ピンと内部エリア10の間のI/Oセルの配置領域（I/O領域という）に、3種のバッファA、B、Cが配置されており、これらのバッファ11、12、13はいずれもバウンダリスキャンレジスタを含むバウンダリスキャンセル構成とされている。4隅には、デバイス内のテスト制御回路をなすコーナーセル14が設けられており、それぞれのバッファ24は、テスト用の信号を伝播するための配線31、32、33を駆動している。配線31、32、33は、チップ周辺のI/Oセル領域を、複数のI/Oセルにまたがって配線されるグローバル配線であり、基板上層の金属配線層に配線され、スルーホール、コンタクトを介して、I/Oセル内のバウンダリスキャン回路21、22等を構成する素子のゲート電極、又はドレイン端子等に接続される。

#### 【0007】

図9に示したチップの動作の概略を説明すると、ノーマル動作時には、I/Oセルは、入力ピンに印加された信号を受けて内部回路に供給するか、内部回路からの信号を受けて出力ピンから出力するか、あるいは、入出力共通のI/Oピンから信号の入力及び出力を行う、バッファ回路として動作する。

#### 【0008】

テスト時には、デバイスのピンは、内部回路から分離され、テスト信号がバウンダリスキャンレジスタに与えられる。各バウンダリスキャンレジスタはシフトレジスタをなし、図示されないTDI端子からの信号を図示されないTDO端子に出力する。図9に示す例では、各I/Oセルはバウンダリスキャンテスト用の制御回路21、22等をセル内に備えた構成とされており、グローバル配線駆動用のバッファ23を備えたセルもある。

#### 【0009】

なお、バウンダリスキャンレジスタを通るテストネットのファンアウト調整として、I/Oセル配置後、内部ロジック回路などの配置前に、I/Oセル近傍の空き領域に、I/O接続バウンダリスキャンレジスタを優先的に配置し、I/O接続バウンダリスキャンレジスタ同士の間中点またはその中点により近い側の

チップ辺によせて出力 I/O 制御バウンダリ スキャンレジスタを配置し、その後、他の回路を構成するセルの配置・配線パターン作成前に、テスト制御回路につながるバウンダリレジスタに対するテストネット中にバッファセルを配置することで、テスト制御回路とバウンダリ スキャンレジスタとの間のファンアウト調整を最小限のバッファの挿入で行うようにした方法が知られている（特許文献 1）。この従来の方法と相違して、後の説明でも明らかとされるように、本発明は、I/O 領域の空きセルにバッファを挿入するものである。

#### 【0010】

##### 【特許文献 1】

特開 2002-26129 号公報（第 4 頁、第 2 図）

#### 【0011】

信号伝播回路の遅延時間をインバータ又はバッファのサイズ及び挿入段数をそれぞれ独立に決定することで、最適な回路構成を一意的に定めることができ、遅延時間が最小となる最適な設計が容易にできる信号伝播回路の設計方法が知られている（例えば特許文献 2 参照）。

#### 【0012】

##### 【特許文献 2】

特開 2001-290854 号公報（第 3 乃至第 4 頁、第 2 図、第 4 図）

#### 【0013】

##### 【発明が解決しようとする課題】

図 9 に示した構成の場合、チップのコーナー部等にテスト回路を配置し、当該回路から I/O セルへテスト信号を供給している。

#### 【0014】

しかしながら、チップサイズが大きくなると、配線長が長くなり、配線抵抗、浮遊容量等により、テスト信号の遅延が増大し、遠端側での波形鈍りの程度も増大する。この結果、テストの精度、信頼性の点で問題となる。

#### 【0015】

さらに、図 9 に示した構成の場合、コーナーに位置するテスト回路からテスト信号を分配する構成とされているため、遅延調整を行うことができない。

## 【0016】

したがって、本発明の目的は、チップ周辺に沿って配線されるテスト信号の遅延の増大、波形鈍りの劣化を抑止低減するとともに、遅延調整を可能とし、ASIC (application specific IC) 等に適用して好適な半導体集積回路装置とその設計方法及び装置並びにプログラムを提供することにある。

## 【0017】

## 【課題を解決するための手段】

前記目的を達成する本発明の1つの側面（アспект）の半導体集積回路によれば、外部ピンに接続するI/Oセルを配置するための領域（「I/O領域」という）をチップ周辺部に有し、複数の前記I/Oセルに対してテスト用の信号を伝播するための配線が前記I/O領域を複数の前記I/Oセルにわたって前記I/Oセルの配列方向に沿って設けられており、前記I/O領域の前記配線が通る空きセルのうちの少なくとも1つが、前記テスト用の信号の伝搬経路を構成し、前記テスト用の信号を入力して駆動出力するリピータ回路を備えていることを特徴とする。

## 【0018】

本発明においては、前記I/O領域において、1つ又は複数セル分の空きがある場合、予め用意されており電気的特性に関して互いに異なる複数種のリピータ回路の中から、少なくとも予め定められた信号の遅延条件を満たす特性を有する最適なりピータ回路が、前記空きセルのリピータ回路として、前記1つ又は複数セル分の空きのいずれかに配置される。

## 【0019】

本発明は、他のアспектにおいて、半導体集積回路の設計自動化装置を提供する。本発明の他のアспектに係る装置によれば、外部ピンと接続されるI/Oセルについて品種毎のチップ上でのI/Oセルの配置位置情報、I/Oセルのサイズ情報、I/Oセルのテスト端子情報、設計情報を含むテクノロジー情報、I/O領域の空きセルに配置されるリピータ回路の情報をそれぞれ格納した記憶手段と、前記記憶手段のI/Oセルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、チップ周辺部のI/Oセルを配置するための領域（「I/O領

域」という)に配線されるテスト用の信号(「テストネット」という)について、隣接 I/Oセル間のサブネットの配線長を少なくとも算出して出力する手段と、回路シミュレータと、前記サブネットについて少なくとも配線抵抗と容量の情報を算出して前記回路シミュレータによる回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出し、前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定する手段と、前記決定されたりピータ回路を含む空きセルを前記 I/O領域に配置する手段と、を備えている。

#### 【0020】

本発明においては、前記リピータ回路を決定する手段は、選択したりピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出し、前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさらに分割することで、最適なりピータ回路を探索するように制御する手段を備えた構成としてもよい。

#### 【0021】

本発明の他のアスペクトに係る方法によれば、外部ピンと接続される I/Oセルについて品種毎のチップ上での I/Oセルの配置位置情報、I/Oセルのサイズ情報、I/Oセルのテスト端子情報、設計情報を含むテクノロジー情報、I/O領域の空きセルに配置されるリピータ回路の情報をそれぞれ格納した記憶手段を有するコンピュータによる半導体集積回路の設計自動化方法であって、前記記憶手段の I/Oセルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、I/Oセルを配置するための領域(「I/O領域」という)に配線されるテスト用の信号(「テストネット」という)について、隣接 I/Oセル間のサブネットの配線長を少なくとも算出して出力するステップと、

前記サブネットについて少なくとも配線抵抗と容量の情報を算出して回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出するステップと、

前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定するステップと、

前記決定されたりピータ回路を含む空きセルを前記 I/O 領域に配置するステップと、を含む、ことを特徴とする。

#### 【0022】

本発明に係る方法によれば、前記リピータ回路を決定するステップが、選択されたりピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出するステップと、

前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさらに分割することで、最適なりピータ回路を探索するように制御するステップと、を含むようにしてもよい。

#### 【0023】

本発明の他のアスペクトに係るプログラムによれば、外部ピンと接続される I/O セルについて品種毎のチップ上での I/O セルの配置位置情報、I/O セルのサイズ情報、I/O セルのテスト端子情報、設計情報を含むテクノロジー情報、I/O 領域の空きセルに配置されるリピータ回路の情報をそれぞれ格納した記憶手段を有するコンピュータに、

前記記憶手段の I/O セルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、I/O セルを配置するための領域（「I/O 領域」という）に配線されるテスト用の信号（「テストネット」という）について、隣接 I/O セル間のサブネットの配線長を少なくとも算出して出力する第 1 の処理と、

前記サブネットについて少なくとも配線抵抗と容量の情報を算出して回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出するステップと、

前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定する第 2 の処理と、

前記決定されたりピータ回路を含む空きセルを前記 I / O 領域に配置する第 3 の処理と、を実行させるプログラムよりなる。

#### 【 0 0 2 4 】

##### 【発明の実施の形態】

本発明の実施の形態について説明する。図 1 は、本発明の一実施の形態に係る半導体集積回路の概略構成を示す図である。図 1 を参照すると、本実施形態においては、チップ周辺部の I / O セルが配置される I / O 領域の、I / O セルが配置されない空きセル領域に、リピータ回路を有する空きセルを適宜配置することを特徴の 1 つとしている。すなわち、I / O 領域の複数の I / O セルに対してテスト用の信号を伝播するための配線 3 1、3 2、3 3 が、I / O 領域を複数の I / O セルにわたって I / O セルの配列方向に沿って設けられグローバル配線をなしており、これらの配線 3 1、3 2、3 3 が通過する空きセルのうち、テスト信号の伝搬経路をなしテスト信号を入力して駆動出力するリピータ回路 2 5 を備えた空きセル A 1 6、空きセル B 1 7 が適宜設けられている。

#### 【 0 0 2 5 】

この実施の形態では、伝搬遅延時間、駆動能力、サイズ等について互いに異なるリピータ回路を有する複数種の空きセルを予め用意しておき、最適な伝搬遅延時間、駆動能力を有するリピータ回路を有する空きセルを選択して配置することで、設計条件を満たすように、遅延調整を行うことができ、テストの信頼性、精度を向上させることができる。

#### 【 0 0 2 6 】

図 1 の空きセル C 1 5 は、リピータを有しない通過セル（すなわちグローバル



配線 31、32、33 がそのまま通過する空きセル) である。図 1 において、I/O 領域のテスト信号 31、32、33 が通過する空きエリアに、最適なりピータ回路 25 を備えた空きセル 16、17 を配置した以外の構成は、基本的に、図 9 に示したものと同様である。図 1 のバッファ (I/O セル) 11、12、13 において、バッファ内の 21、22 は、図 9 と同様、バウンダリスキャンレジスタ等のテスト制御回路、素子を模式的に示しているが、後述する実施例のように、バウンダリスキャンレジスタと、スキャンパステスト用のフリップフロップを 1 つの I/O セル内に備えた構成としてもよい。この場合、21、22 は、バウンダリスキャンレジスタと、スキャンパステスト用のフリップフロップをそれぞれ表している。

#### 【0027】

本発明の他のアスペクトに係る装置の実施の形態は、C A D (Computer Aided Design: 計算機支援型設計) 装置あるいは E D A (Electronic Design Automation: 電子設計自動化) 装置を提供するものであり、外部ピンと接続される I/O セルについて品種毎のチップ上での I/O セルの配置位置情報 (201)、I/O セルのサイズ情報 (202)、I/O セルのテスト端子情報 (203)、設計情報を含むテクノロジー情報 (206)、I/O 領域の空きセルに配置されるリピータ回路の情報 (207) をそれぞれ格納したファイル群と、これらのファイル群より、I/O セルの配置位置情報、サイズ情報、及びテスト端子情報を参照し、I/O セルを配置するための領域 (「I/O 領域」という) に配線されるテスト用の信号 (「テストネット」という) について、隣接 I/O セル間のサブネットの配線長を少なくとも算出して出力する手段 (204) と、S P I C E 等の線形回路シミュレータと、前記サブネットについて少なくとも配線抵抗 (R) と容量 (C) の情報を算出して線形回路シミュレータによる回路シミュレーションを実行し、前記サブネットの配線遅延及び末端での波形鈍りを導出し、前記サブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される所定の許容範囲外の場合、前記記憶手段に記憶されている前記リピータ回路の情報に基づき、前記サブネットが通過する空きセルに挿入する最適なりピータ回路を決定する手段 (208) と、前記決定されたりピータ回路を含む空きセルを I

／O領域に配置する手段(210)とを備えている。前記リピータ回路を決定する手段(208)は、選択したリピータ回路の挿入により分割されたサブネットについて回路シミュレーションを実行して前記分割されたサブネットに関する配線遅延及び波形鈍りを導出し、前記分割されたサブネットに関する配線遅延及び波形鈍りが、前記テクノロジー情報に規定される前記所定の許容範囲を満たすか否か判定し、満たさない場合には、さらに別のリピータ回路を選択するか、あるいは、前記サブネットをさらに分割することで、最適なりピータ回路を探索する制御を行う。これらの手段は、好ましくは、CAD装置(DA装置)を構成するEWS(エンジニアリングワークステーション)等のコンピュータ上で実行されるプログラムによりその機能・処理が実現される。

#### 【0028】

##### 【実施例】

上記した実施の形態についてさらに具体的且つ詳細に説明すべく、本発明の一実施例について図面を参照して説明する。図2は、本発明の一実施例のチップの配置の概略を示す図である。本実施例においては、バウンダリスキャン回路等のテスト回路は、各I／Oセルごとに予め埋め込まれており、デバイス設計時に、これらのI／Oセルを配置することで、テストネットは、自動配線ツールにより配線接続が行われる構成とされている。

#### 【0029】

図2を参照すると、チップ1周辺のI／O領域40には、I／Oセルとして、入力ピン51と接続する入力バッファ11、出力ピン52と接続する出力バッファ12が設けられており、電源端子(VDD)53と接続する電源ブロック(セル)18、及び、グランド(GND)端子54と接続するGNDブロック19が設けられており、さらに、チップコーナ部には、テスト制御回路をなすコーナーセル14が設けられている。また、チップ1には、図示されない、バウンダリスキャン端子(TDI、TMS、TCK、TDO、TRST)、スキャンパステスト端子(SIN、SCK、SOT)が設けられている。I／O領域40のI／Oセル、電源ブロック、GNDブロック等のセルが設けられない空きエリアには、テストネットの信号遅延を補償するためのリピータ回路を有する空きセル16が設

けられている。

### 【0030】

テスト制御信号 SC1、SC2、SCN、SMC2、SFDR、CLKDR、MODE1等の信号配線（テストネット）30は、コーナーセル14から、I/O領域40をチップの辺に沿って複数のI/Oセルにまたがって設けられるグローバル配線であり、I/Oセルの配置、空きセルの配置が決定されると、端子情報、配置情報に基づき、配線ツールにより自動でI/Oセルのテスト端子と結線される。

### 【0031】

テストネットが通過する空きセルに適宜配置されるリピータ回路は、信号を受信する初段のインバータと、初段のインバータの出力を入力し出力段をなすインバータ（偶数段のインバータ）からなる。CMOSインバータを偶数段カスケード接続して構成されるリピータ回路として、出力段の電流駆動能力（トランジスタのゲート幅／ゲート長の比（W／L比）等）、及び伝搬遅延時間（ $t_{pd}$ ）等に関して複数種のタイプが設けられており、必要な伝搬遅延時間、出力段の駆動能力に関する条件を満たす最適な回路が自動で選択される。かかる構成も、本発明の特徴の1つをなしている。

### 【0032】

図3は、図2のコーナーセル14Aの構成の一例の概略を説明するための図である。コーナーセル14Aは、内部回路のスキャンパステスト用のシリアル入力SINとシリアル出力SOUT、及び、バウンダリスキャンテストに用いられるシリアル入力BSINとシリアル出力BSOUTを有し、さらにI/Oセル、空きセル群に対して、クロック（2相スキャンクロック）SC1、SC2、制御信号SCM2、SB、RB、SCN、Shift\_DR（SFDR）、シフトクロックCLKDR、Update\_DR（UPDR）、モード信号MODE等が供給される。またテスト信号TCK、TDI、TDO、TMS、TRSTは、内部回路のテスト制御回路10-1の端子に接続される。なお、図2及び図3において、テスト制御信号は、その一部を例示したものであり、本発明はかかる構成に限定されるものでないことは勿論である。

## 【0033】

図4は、図2の入力バッファ11の構成の一例を示す図である。バウンダリスキャンレジスタ111は、パラレル入力信号PINと、シリアル入力信号BSINと、シフトデータレジスタ(SHIFT\_DR)信号SFDR、シフトクロック信号CLKDRを入力し、シリアル出力BSOUTを出力する。出力BSOUTは、次のセルのBSINに供給されるか、デバイス内のスキャンチェーンの最終段のセルの場合、デバイスのTDOピンから出力される。スキャンフリップフロップ回路112は、入力ピンからのデータDIN(図示されない入力バッファの出力)を入力するデータ端子Dと、データ端子Dの信号をその立ち上がりエッジでサンプルするサンプリングクロックを入力するクロック端子Cと、正転出力端子Qと、2相のスキャンクロックSC1、SC2と、シリアル入力端子SINと、シリアル出力端子SOUTと、リセット端子RBと、セット端子SBを有する公知のスキャンフリップフロップ回路よりなる。なお、論理回路114は、テスト制御信号をなすSBとSMC2を受け、例えばSBがlowレベル、SMC2がhighレベルのとき、スキャンフリップフロップ回路112のセット端子SBを活性化してその出力を論理1にセットする制御を行う。論理回路116は、テスト制御信号をなすRBとSMC2を受け、RBがlowレベル、SMC2がhighレベルのとき、スキャンフリップフロップ回路112のリセット端子RBを活性化してその出力を論理0にリセットする制御を行う。回路114、116は、端子SETBがlowレベルのとき出力端子Sをlowレベルとし、端子SMC2がlowレベルのとき出力端子SをhighレベルとするSRフリップフロップで構成してもよい。また、回路115は、端子SCNがアクティブのとき、ノーマルのクロック信号CLKをスキャンフリップフロップ回路112のクロック端子Cに供給する構成とされる。

## 【0034】

図4に示した入力バッファの動作の概略を説明する。ノーマル動作時には、データ信号DIN(入力ピンからの入力データ)は、スキャンフリップフロップ回路112にてクロック信号CLKの立ち上がりエッジでサンプルされ、バッファ113からDOUTとして対応する内部回路に出力される。スキャンパステスト

時には (SCN = low レベルのとき)、クロック CLK は、回路 115 によってマスクされ、スキャンフリップフロップ回路 112 のクロック端子 C には供給されず、スキャンフリップフロップ回路 112 は、シリアル入力 SIN をスキャンクロック CK1、CK2 によってラッチし、シリアル出力 SOUT に出力する。また、バウンダリスキャンテスト時には、図示されない TAP コントローラの制御を受け、バウンダリスキャンレジスタ 111 は、信号 BSIN を入力し、BSOUT として出力する。

#### 【0035】

なお、図 4 に示した回路の一変形例として、データ入力 DIN をスキャンフリップフロップ回路 112 に通さずに、直接、バッファ 113 から DOUT として出力し、シリアル入力 SIN を、別のバッファから SOUT として出力するようにしてもよい。この場合、回路 114、116 の SMC2 端子は low 固定、回路 115 の SCN 端子は low 固定、スキャンフリップフロップ回路 112 の D 端子、SC1、SC2 端子がいずれも low 固定とされる。

#### 【0036】

図 5 は、図 2 の出力バッファ 12 の構成の一例を示す図である。バウンダリスキャンレジスタ 121 は、パラレル入力信号 PIN (内部回路からのデータ入力 DIN) と、シリアル入力信号 BSIN と、シフトデータレジスタ (Shift\_DR) 信号 SFDR、シフトクロック信号 CLKDR を入力し、シリアル出力 BSOUT を出力し、またパラレル出力端子 PO から、マルチプレクサ (図 8 の M2) で選択されたデータを出力する。出力 BSOUT は、次のセルの BSIN に供給されるか、デバイス内のスキャンチェーンの最終段のセルの場合、デバイスの TDO ピンから出力される。スキャンフリップフロップ回路 122 は、内部回路からのデータ DIN を入力するデータ端子 D と、データ端子 D の信号をその立ち上がりエッジでサンプルするサンプリングクロックを入力するクロック端子 C と、正転出力端子 Q と、2 相のスキャンクロック SC1、SC2 と、シリアル入力端子 SIN と、シリアル出力端子 SOUT と、リセット端子 RB と、セット端子 SB とを有する公知のスキャンフリップフロップ回路よりなる。論理回路 124 は、テスト制御信号をなす SB と SMC2 を受け、SB が low レベル、S

MC 2 が h i g h レベルのとき、スキャンフリップフロップ回路 1 2 2 のセット端子 S B を活性化し出力を論理 1 にセットする制御を行う。論理回路 1 2 6 は、テスト制御信号をなす R B と S M C 2 を受け、R B が l o w レベル、S M C 2 が h i g h レベルのとき、スキャンフリップフロップ回路 1 2 2 のリセット端子 R B を活性化してその出力を論理 0 にリセットする制御を行う。回路 1 2 4、1 2 6 は、端子 S E T B が l o w レベルのとき、出力端子 S を l o w レベルとし、端子 S M C 2 が l o w レベルのとき出力端子 S を h i g h レベルとする S R フリップフロップで構成してもよい。また、回路 1 2 5 は、S C N 信号がアクティブのとき、ノーマルのクロック信号 C L K をスキャンフリップフロップ回路 1 2 2 のクロック端子に供給する構成とされる。マルチプレクサ 1 2 3 は、スキャンフリップフロップ回路 1 2 2 のデータ出力 Q (パラレル出力) と、バウンダリスキャンレジスタ 1 2 1 のパラレル出力 P O を入力し、モード信号 M O D E が論理 0 のとき、スキャンフリップフロップ回路 1 2 2 のデータ出力 Q を D O U T として出力し、モード信号 M O D E が論理 1 のとき、バウンダリスキャンレジスタ 1 2 1 のパラレル出力 P O を D O U T として出力する。

#### 【0037】

図 5 に示した出力バッファの動作の概略を説明する。ノーマル時、データ D I N はスキャンフリップフロップ回路 1 2 2 でラッチされ、D O U T として出力される。スキャンパステスト時、スキャンフリップフロップ回路は、シリアル入力 S I N をスキャンクロック S C 1、S C 2 によって制御されるマスタースレーブラッチ回路でサンプルし、シリアル出力 S O U T を出力する。またバウンダリスキャンテスト時、図示されない T A P コントローラの制御をうけて、B S I N を B S O U T として出力する。モード信号 M O D E が論理 1 のとき、バウンダリスキャンレジスタのフリップフロップ F 2 (図 8 参照) が、D O U T として出力される。

#### 【0038】

なお、図 5 に示した回路の変形例として、データ入力 D I N をスキャンフリップフロップ回路 1 2 2 に通さず直接 D O U T として出力し、シリアル入力 S I N をバッファからシリアル出力 S O U T として出力するようにしてもよい。この場

合、回路124、126のSMC2端子はlow固定、回路125のSCN端子はlow固定、スキャンフリップフロップ回路122のD端子、SC1、SC2端子はいずれもlow固定とされる。

#### 【0039】

なお、図4、図5にそれぞれ示した入力バッファ及び出力バッファの構成のさらなる変形として、入力ピン（ユーザピン）からの入力データDINと、出力ピン（ユーザピン）への出力データDOU Tを、内部回路のテスト信号の入力、出力用に用いるように、テスト制御信号、切り替え制御回路を備えた構成としてもよい。

#### 【0040】

上記したような入力バッファ、出力バッファのほか、入出力バッファ等のバッファの複数種のI/Oセルについて、セルサイズ、テスト端子情報が登録されており、デバイスの設計仕様にしたがって、種別を選択し、I/O領域に配置するだけで、SC1、SC2、SB、RB、SFDR、UPDDR等のテストネットの接続が行われる。さらに、空きセルが検索され、テスト関連の信号線に対して、最適なりピータ回路が選択され、自動配置・配線される。かかる構成も、本実施例の特徴の1つをなしている。

#### 【0041】

図6は、本発明に係る設計自動化装置（EDAシステム）の処理フローを説明するための図である。

#### 【0042】

図6において、ファイル201は、品種毎のI/Oセルの配置位置情報として、I/O領域のI/Oバッファや電源セル及び空きセルとなっている各セルの配置位置情報を含む。

#### 【0043】

ファイル202は、I/Oセル並びに空きセル、電源ブロックのセルサイズ情報として、各セルのサイズ情報（X、Y情報）を含む。

#### 【0044】

ファイル203は、I/Oセルが保有するテスト端子情報として、I/Oバッ

ファが保有するテスト端子のセル内での配置位置情報及びテスト端子の接続ゲートの入力端子容量や配線容量並びに出力インピーダンス等の情報を含む。

#### 【 0 0 4 5 】

ファイル 2 0 6 は、テクノロジー情報として、I / Oセルの品種の電源電圧情報や、各テストネットで許容範囲とされる遅延値や波形鈍り情報を含む。テクノロジー情報としては、半導体製造情報として、レイアウトの層名、層番号、配線幅、配線ピッチの設計規則、容量パラメータ等も格納される。

#### 【 0 0 4 6 】

ファイル 2 0 7 は、空きセル（フィルセル）リピータ情報として、空きセル内に予め配置された各ネット毎のリピータの情報（駆動能力、出力インピーダンスやリピータの入力端子容量、配線容量等）を含む。

#### 【 0 0 4 7 】

これらのファイルの格納情報は、セルライブラリの情報として、及び、当該デバイスの終了済みの設計工程により、予め記憶装置にそれぞれ記憶されている。

#### 【 0 0 4 8 】

サブネット配線長算出処理 2 0 4 では、サブネット単位での空きセルの配置を決定する。より詳細には、ファイル 2 0 1、2 0 2、2 0 3 から I / Oセルの配置位置、セルのサイズ、テスト端子に関する情報を読み出し、各テストネット（SC 1、SC 2、SC N等の信号配線）について、隣接セル間のサブネットの配線長（配線層と基板間の長さも含む）を算出し、隣接ネット情報をファイル 2 0 5 に出力する。

#### 【 0 0 4 9 】

サブネット単位での空きセル配置位置決定処理 2 0 8 では、ファイル 2 0 6 からのテクノロジー情報、ファイル 2 0 3 から I / Oセルのテスト端子情報、ファイル 2 0 7 から空きセルリピータ情報、ファイル 2 0 5 からサブネットの配線長、隣接ネット情報を取得し、ファイル 2 0 5 に格納されているサブネットについてサブネット単位の配線抵抗 R と容量値 C を算出し、当該サブネットを駆動する I / Oセル内のバッファ（図 1 の 2 3）の出力インピーダンス情報、入力端子容量情報、並びに電源電圧情報を基に、SPICE等の回路シミュレータへ入力す



るネット情報（ネットリスト情報、解析種別コマンド、プローブ対象ノード、入力波形情報）を自動生成する。このネット情報に基づき、回路シミュレータがシミュレーションを実行して、配線遅延及びサブネット末端での波形鈍りを導出する。

#### 【0050】

回路シミュレーションについて概略を説明すると、例えば図7（上記特許文献2の第2図に基づく）に示すように、あるI/Oセルにおいて、テスト信号の配線を駆動するバッファの出力段をなすCMOSインバータ71が出力抵抗 $R_{out}$ 、ドレイン基板間容量 $C_{ds}$ を有し、隣のI/Oセルにおいて信号を受信するレシーバをなすCMOSインバータ72が入力ゲート容量 $C_{in}$ を有し、サブネットの配線73が配線長 $l_{int}$ に応じた抵抗 $R_{int} * l_{int}$ 、配線容量 $C_{int} * l_{int}$ を有するものとして、シミュレーション対象回路のネットリストを作成する。そして、サブネット配線73を駆動するバッファ71にパルス波形を入力してサブネット遠端部での信号波形の立ち上がり（又は立下り）波形を解析するための過渡解析（transient analysis）を実行する。

#### 【0051】

回路シミュレーションによる過渡解析の結果、サブネット末端（CMOSインバータ72の入力端）での遅延及び波形鈍りが、テクノロジー情報で規定される所定の設計条件を満たす場合、隣接I/Oセルの間に空きセルが存在する場合でも、当該空きセルには、リピータ回路の挿入は行わない。

#### 【0052】

一方、サブネット末端での配線遅延及び波形鈍りが、所定の設計条件の範囲外の場合、サブネット73の分割処理を行い、インバータ2段よりなるリピータ回路を配線73に挿入する。すなわち、隣接I/Oセルの間に、空きセルが存在する場合において、当該空きセルに、空きセルリピータ情報207の中から、1つのリピータ回路を選択して挿入する。そして、挿入されたりピータ回路により分割して生成される分割サブネットに対して、再び、回路シミュレーションを実行し、分割サブネットの配線遅延及び末端での波形鈍りを導出する。例えばもとのサブネットを2つに分割した場合、分割後の第1の分割サブネットにおいて、図

7 のインバータ 7 2 は、リピータ回路の入力段インバータ I N V 1 に対応する。また分割後の第 2 の分割サブネットにおいて、図 7 のインバータ 7 1 は、リピータ回路の出力段インバータ I N V 2 に対応する。サブネット配線 7 3 は、分割されたサブネットに対応する。

#### 【 0 0 5 3 】

分割サブネット毎の回路シミュレーションの結果、分割サブネットに関する配線遅延及び末端での波形鈍りが、所定の設計条件を満たす場合には、選択したリピータ回路の配置を決定する。一方、分割サブネットに関する配線遅延及び末端での波形鈍りが、所定の許容範囲外にある場合には、駆動能力の高い（サイズの大きな）リピータ回路を挿入して、再び、回路シミュレーションによる解析を行う。あるいは、隣接 I / O セルの間に空きセルが、複数個（多数）連続して存在する場合、複数の空きセルに、電流駆動能力が中程度のリピータ回路を分散して配置することで、もとのサブネットをさらに 4 分割、あるいは 8 分割し、所望の特性を満たすように調整を行ってもよい。このようにして、設計対象デバイスに対応したテスト信号の遅延調整が自動で行われる。

#### 【 0 0 5 4 】

なお、ある距離だけ離間した 2 点間にバッファを配置し信号を伝搬させる場合、2 点間に大きなバッファをただ 1 つ配置する構成と、2 点間に適当なサイズのバッファを複数段に配置する構成がある。前者の場合、遅延時間は減少するが、配線長がある限度を越えると逆に遅延時間が増加する等の欠点がある。後者の場合、バッファのサイズ、配置数を考慮する必要はあるが、遅延時間が最小になる条件が得られ、且つ、信号の遅延調整も容易化する。後者の手法に基づき、信号伝播回路の遅延時間をインバータ又はバッファのサイズ及び挿入段数をそれぞれ独立に決定することで、最適な回路構成を一意的に定めることができ、遅延時間が最小となる最適な設計が容易にできるようにした、上記特許文献 2 の方法を用いてもよい。この方法を用いると、回路シミュレーションを繰り返し実行することを不要とする。

#### 【 0 0 5 5 】

そして、決定した空きセルの配置情報をファイル 2 0 9 に格納し、I / O 領域

における空きセルの配置処理 2 1 0 を行う。

**【 0 0 5 6 】**

以上により、I / O セルと空きセルの配置情報をもとに I / O 領域の配置情報 2 1 1 が得られる。

**【 0 0 5 7 】**

以上本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ限定されるものでなく、本願特許請求の範囲の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

**【 0 0 5 8 】**

**【発明の効果】**

以上説明したように、本発明によれば、テスト容易化設計手法を用いて構成される A S I C 等の半導体集積回路において、空きセルによるテスト信号の遅延、波形鈍りを解消し、さらに遅延調整を可能とし、テストの信頼性、正確性を向上する、という効果を奏する。

**【 0 0 5 9 】**

また、本発明によれば、設計時、デバイス仕様に基づき I / O セルを配置するだけで、システム側で、テストネットの接続、リピータの挿入を自動で行うため、テスト容易化設計の実装の設計・開発コストを低減し、少量多品種対応を容易化する、という効果を奏する。

**【図面の簡単な説明】**

**【図 1】**

本発明の一実施形態の構成を説明するための図である。

**【図 2】**

本発明の一実施例の構成を説明するための図である。

**【図 3】**

図 2 のコーナーセルと I / O 領域に配線されるテスト信号（ネット）を説明するための図である。

**【図 4】**

本発明の一実施例の入力バッファの構成を説明するための図である。

**【図 5】**

本発明の一実施例の出力バッファの構成を説明するための図である。

**【図 6】**

本発明の一実施例のシステムの処理フローを説明するための図である。

**【図 7】**

リピータ選択用の解析のネットリストの一例を示す図である。

**【図 8】**

従来のバウンダリスキャンセルの構成を示す図である。

**【図 9】**

従来の半導体集積回路の I / O 領域の配置を説明するための図である。

**【符号の説明】**

- 1 半導体集積回路
- 1 0 内部エリア (内部ロジック)
- 1 1 I / O セル (入力バッファ)
- 1 2 I / O セル (出力バッファ)
- 1 3 I / O セル (バッファ)
- 1 4、1 4 A コーナーセル
- 1 5、1 6、1 7 空きセル (フィルセル)
- 1 8 電源ブロック
- 1 9 GND ブロック
- 2 1、2 2 セル内レジスタ
- 2 2、2 3 セル内バッファ
- 2 4 バッファ
- 3 0、3 1、3 2、3 3 配線
- 4 0 I / O 領域
- 5 1 ~ 5 4 外部端子
- 7 1 バッファ (CMOS インバータ)
- 7 2 バッファ (CMOS インバータ)
- 7 3 配線

111、121 バウンダリスキャンレジスタ

112、122 スキャンフリップフロップ回路

113 バッファ

114、115、116、124、125、126 論理回路

123 マルチプレクサ (セレクタ)

201 品種毎の I/O バッファ配置位置情報

202 I/O バッファ並びに空きバッファセル、電源ブロックのセルサイズ

情報

203 I/O バッファテスト端子情報

204 サブネット配線長算出処理

205 サブネット配線長情報と隣接ネット情報

206 テクノロジー情報

207 空きセルリピータ情報

208 空きセル配置決定処理

209 空きセル配置情報

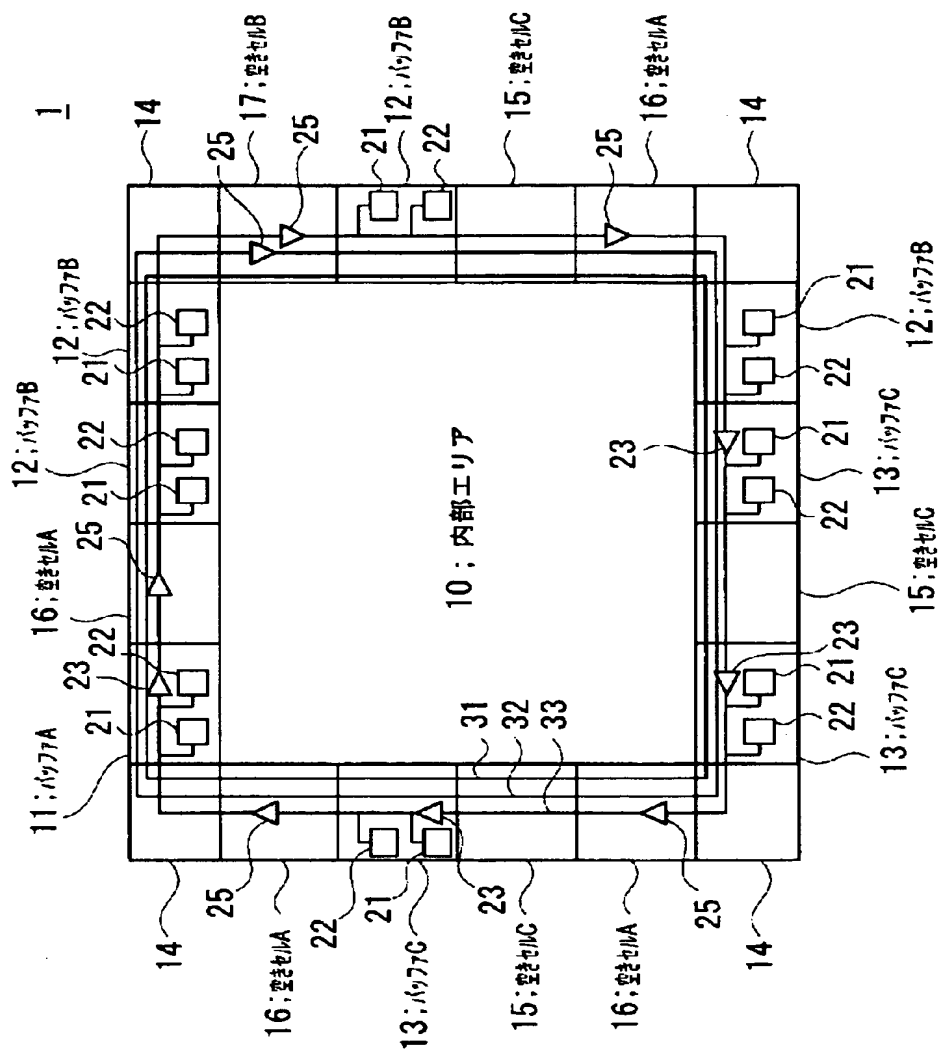
210 空きセル配置処理

211 品種毎の I/O バッファ並びに空きセル配置位置情報

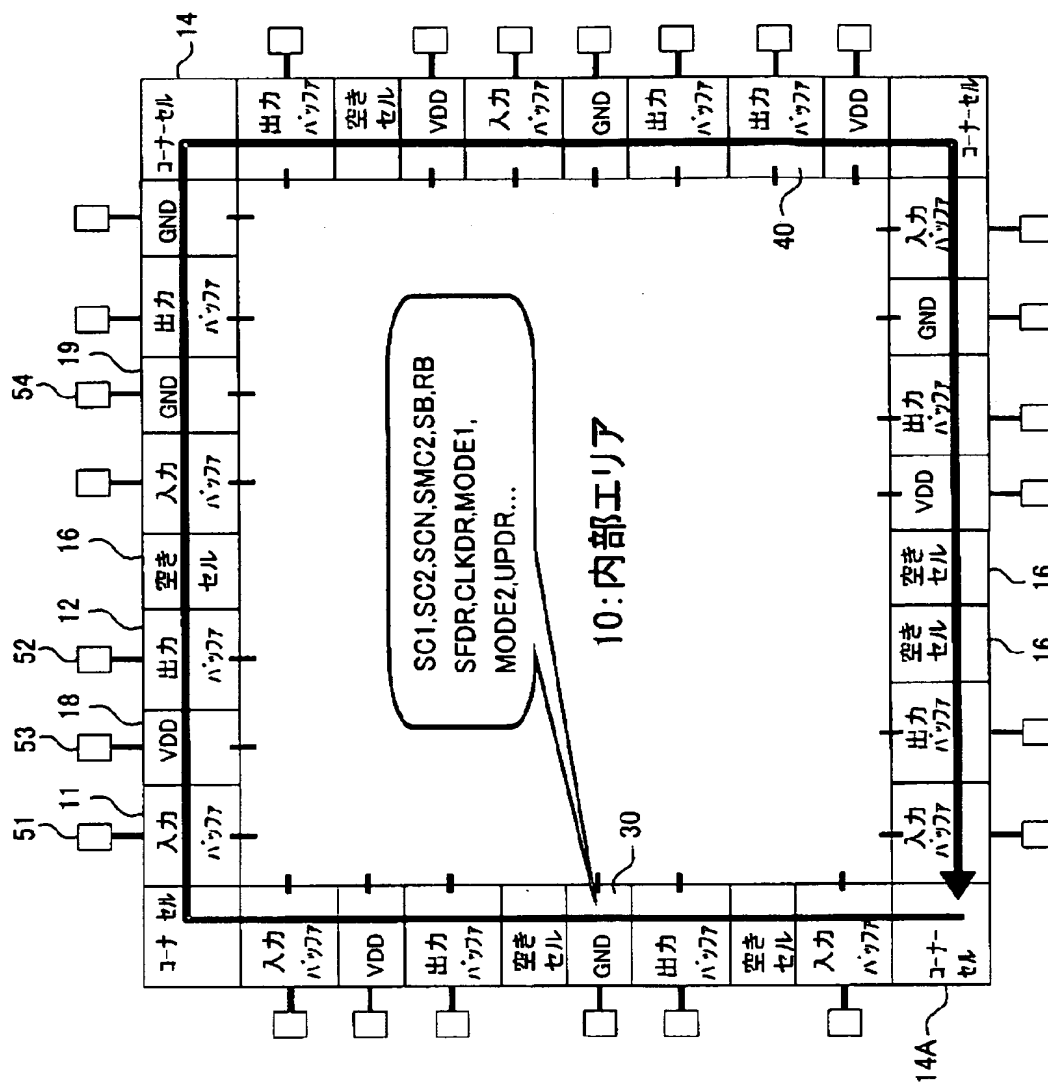
【書類名】

図面

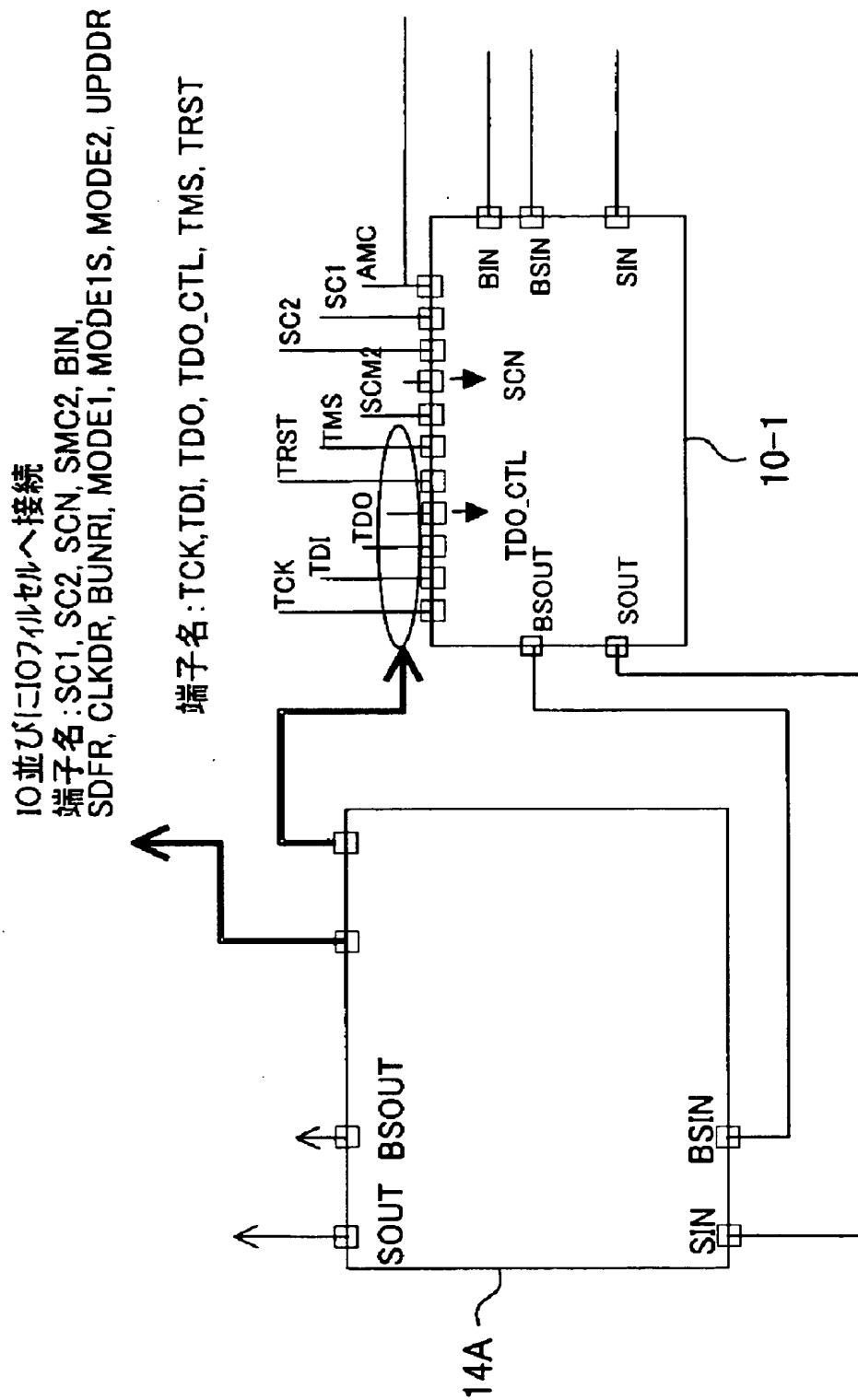
【図 1】



【図 2】

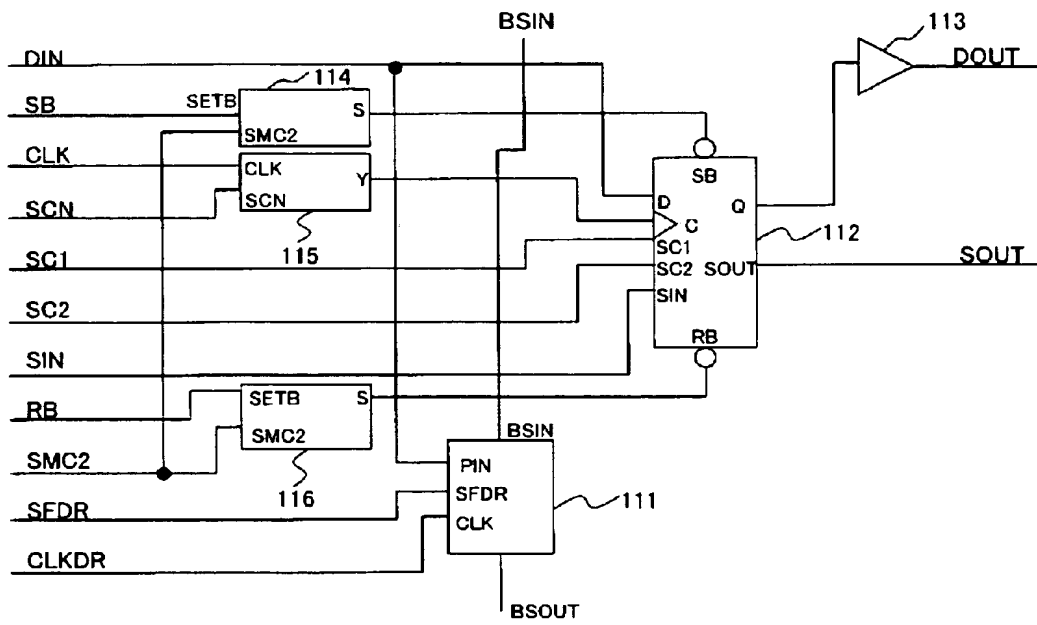


【図 3】

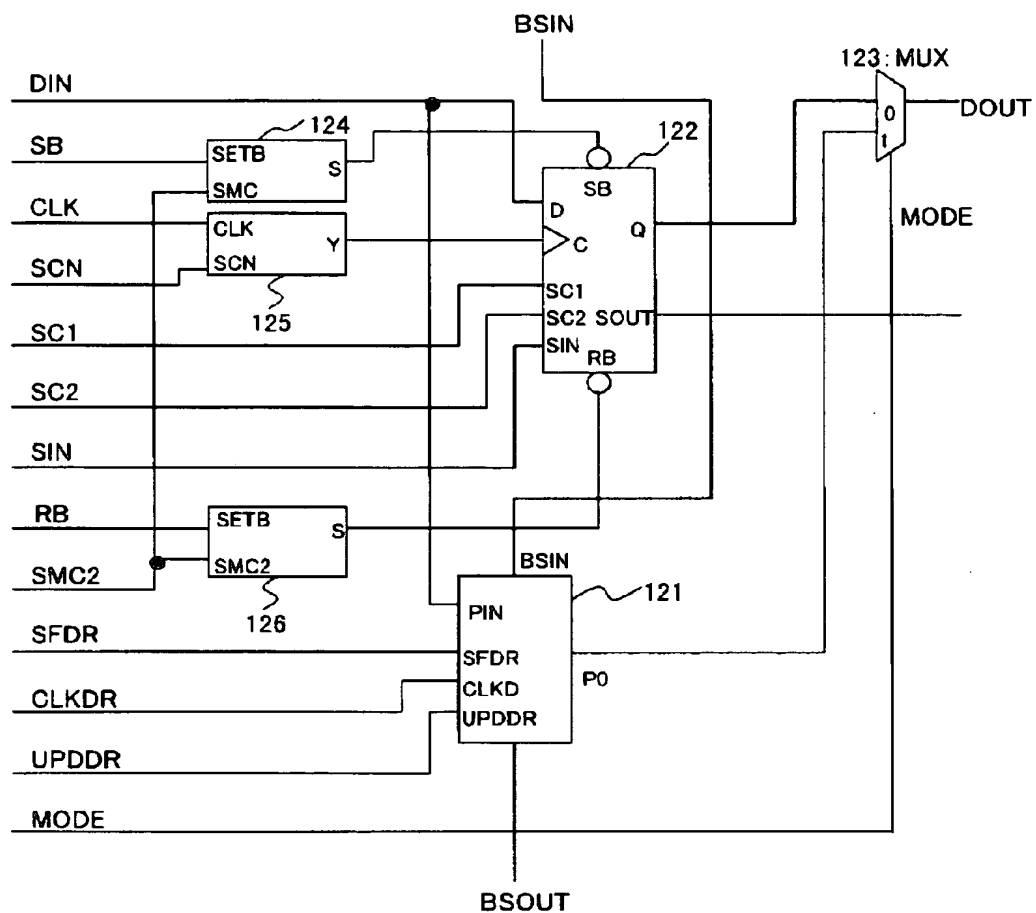




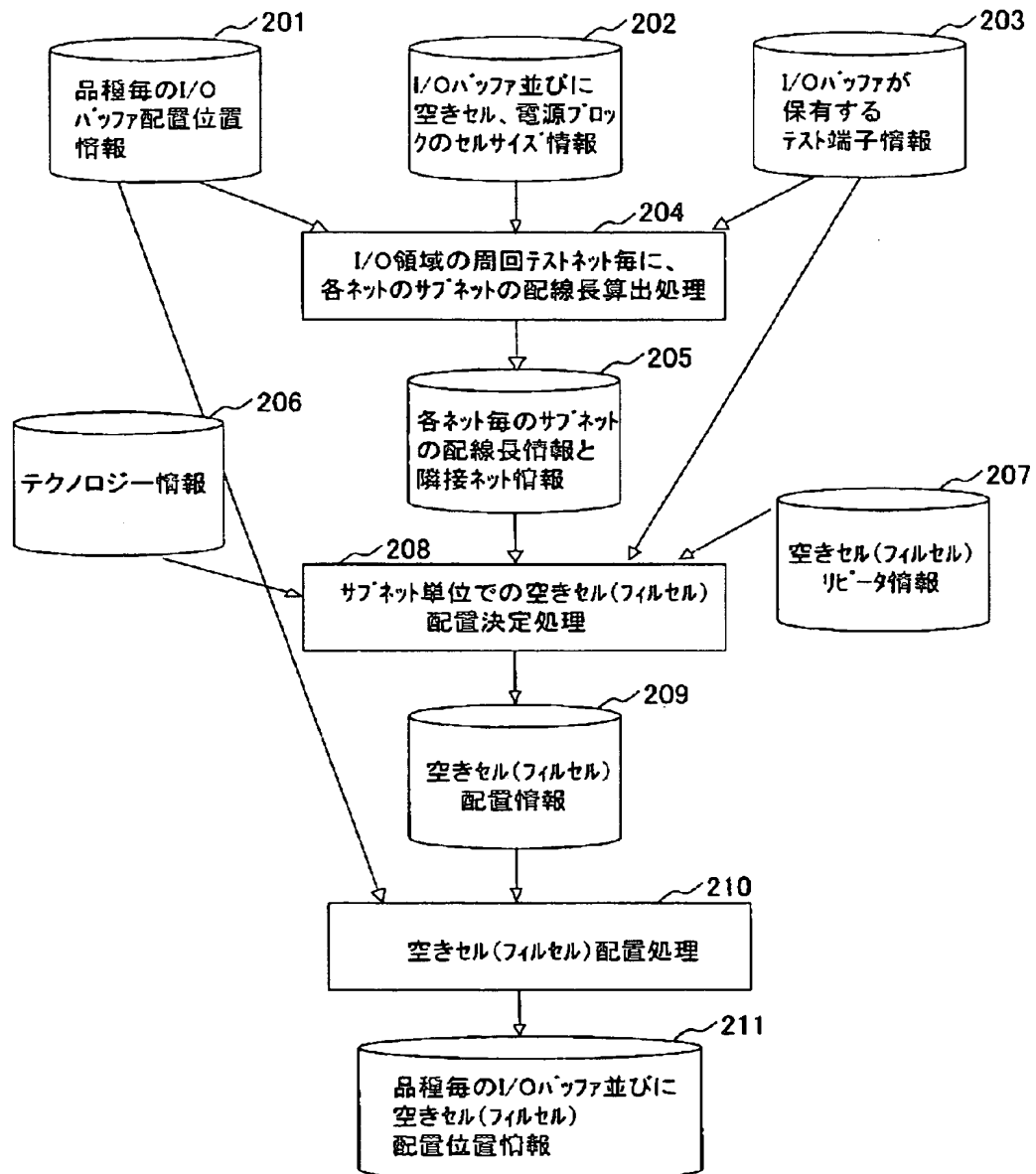
【図 4】



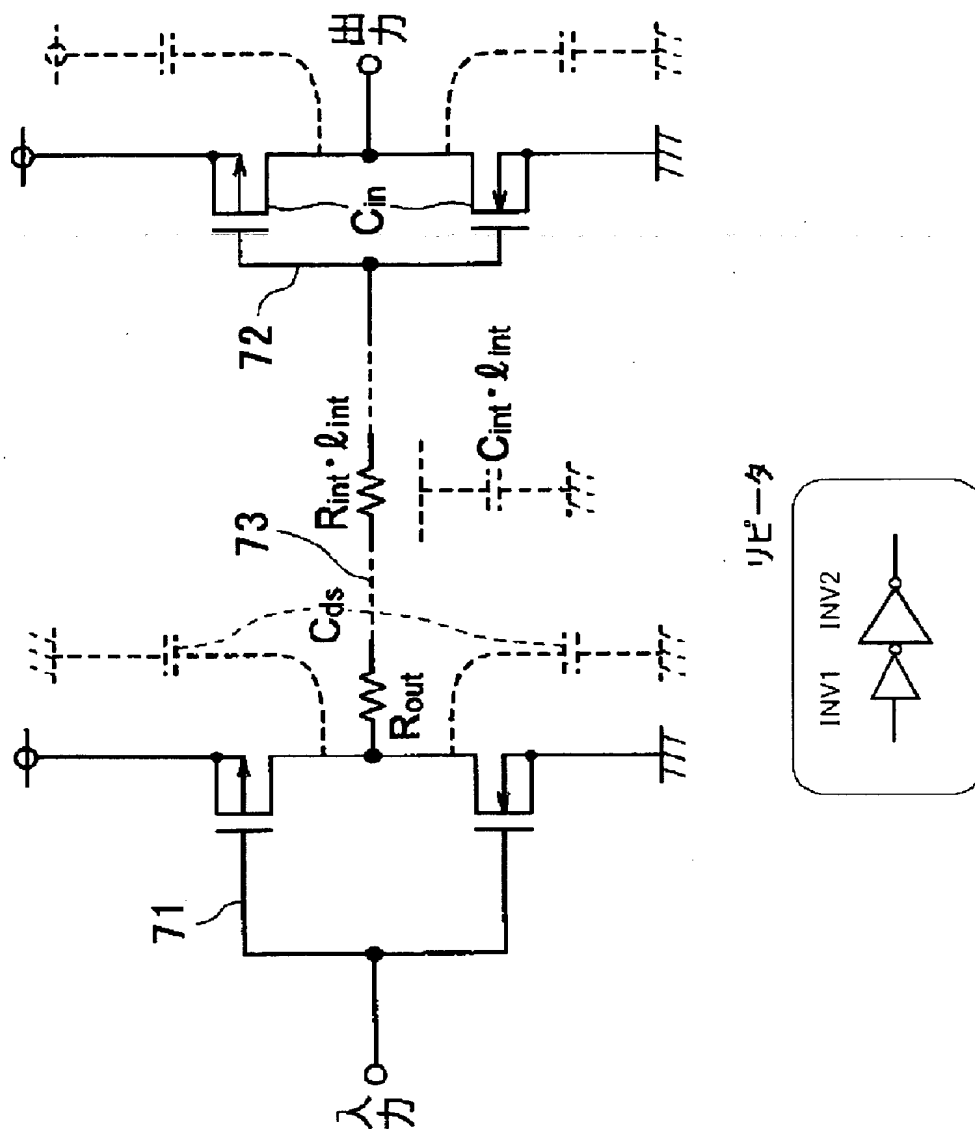
【図 5】



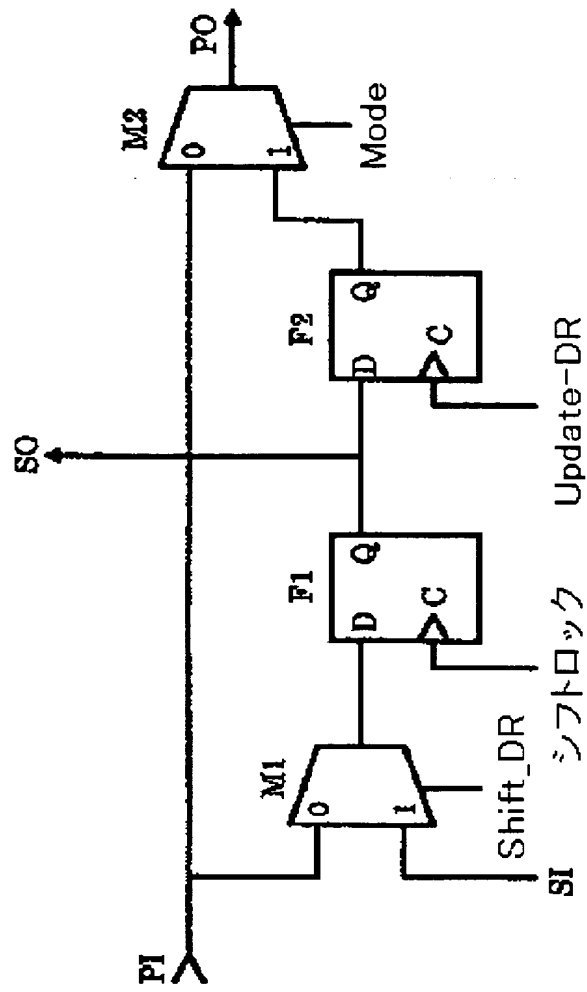
【図6】



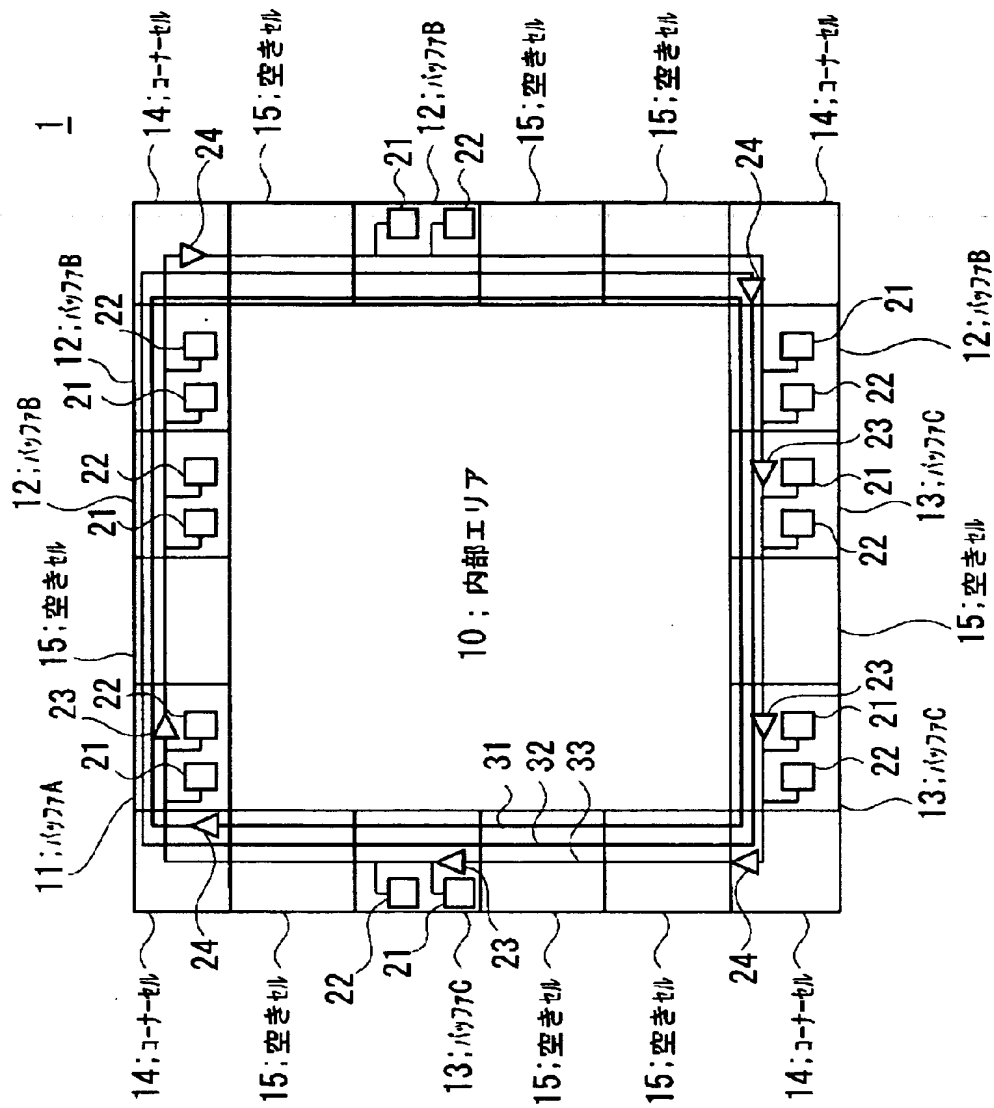
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】

チップ周辺に沿って配線されるテスト信号の遅延の増大、波形鈍りの劣化を抑制低減し、遅延調整を可能とし、A S I C等に適用して好適な半導体集積回路装置の提供。

【解決手段】

I/Oセル（11、12、13）を配置するための領域（「I/O領域」という）をチップ周辺部に有し、複数の前記I/Oセルに対してテスト信号を伝播するための信号配線がI/Oセルの配列方向に沿って設けられており、I/O領域のI/Oセルが設けられていない空きセルのうち少なくとも1つの空きセル（16、17）が、前記信号の伝播経路を構成し、前記信号を受け取って駆動出力するリピータ回路25を備えている。

【選択図】

図1

特願 2 0 0 3 - 0 5 1 4 6 9

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社